

特開平6-283561

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl.<sup>5</sup>  
H 0 1 L 21/56識別記号 庁内整理番号  
R 8617-4M  
E 8617-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 2 F D (全 3 頁)

(21)出願番号 特願平5-91869

(22)出願日 平成5年(1993)3月29日

(71)出願人 390026192

池田 毅  
東京都大田区山王 2-5-6-213

(72)発明者 池田 毅

東京都大田区山王 2丁目5番6号 朝日山  
王マンション213号

(72)発明者 岡本 明

埼玉県上尾市緑丘 4丁目7番17号

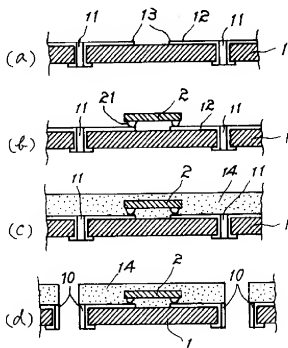
(74)代理人 弁理士 役 昌明

(54)【発明の名称】 半導体装置のパッケージ

(57)【要約】

【目的】 極めて廉価に製造できる半導体装置のパッケージを得ること。

【構成】 印刷配線基板1に、線状に配列された複数のスルーホール11、および、半導体フリップ・チップ2を載置する位置へ各スルーホール11より集中する配線パターン12を形成し、集中した配線パターン12の各先端部13と半導体フリップ・チップ2の端子とをバンプ21を介して接合し、半導体フリップ・チップ2を合成樹脂14でコーティングしたのち、線状に配列された各スルーホール11のほぼ中心線に沿って分割するように印刷配線基板1を切断し、切断された各半分のスルーホール10を端子とする。また、配線パターン12の各先端部13と半導体フリップ・チップ2の端子との接続をワイヤボンディングにより行なってもよい。



#### 【特許請求の範囲】

【請求項1】 印刷配線基板上に、線状に配列された複数のスルーホール、および、半導体チップを載置する位置へ各スルーホールより集中する配線パターンを形成し、集中した上記配線パターンの各先端部と上記半導体チップの端子を接続し、上記半導体チップを合成樹脂でコーティングしたのち、線状に配列された上記各スルーホールを分割するように上記印刷配線基板を切断し、分割された各スルーホールを端子とすることを特徴とする半導体装置のパッケージ。

【請求項2】 半導体チップを含む印刷配線基板の全表面を合成樹脂でコーティングし、コーティングされた合成樹脂とともに各スルーホールを分割するように上記印刷配線基板を切断することを特徴とする請求項1に記載の半導体装置のパッケージ。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 この発明は、半導体装置のパッケージに関し、特に、廉価に製造できるように構成したものである。

##### 【0002】

【従来の技術】 半導体素子を封止するパッケージとして、リードフレームを使用したセラミック・パッケージや合成樹脂でモールドしたパッケージ、バンパを有する半導体フリップ・チップをテープキャリアに接合したパッケージなど各種のパッケージが従来より提案されている。

##### 【0003】

【発明が解決しようとする課題】 しかし、このような従来の半導体装置のパッケージにおいては、半導体チップのコストよりもパッケージに占めるコストの方が高くなる場合が多く、廉価で大量生産に適したパッケージの出現が望まれていた。

##### 【0004】

【課題を解決するための手段】 印刷配線基板上に、線状に配列された複数のスルーホール、および、半導体フリップ・チップを載置する位置へ各スルーホールより集中する配線パターンを形成し、集中した配線パターンの各先端部と半導体チップの端子を接続し、半導体チップを合成樹脂でコーティングしたのち、線状に配列された各スルーホールのほぼ中心に沿って分割するように印刷配線基板を切断し、分割された各スルーホールを端子とする。

##### 【0005】

【実施例】 この発明の半導体装置のパッケージは、図6の側面図に示すように、主として半導体チップの表面に、電極となる接続部をハンダなどで盛り上げられて形成したバンパ21を有する半導体フリップ・チップ2の封止に適している。次に、この発明のパッケージを製造工程順に説明する。

##### 【0006】（第1実施例）図1の平面図および図2

(a)の断面図に示すように、印刷配線基板1に、方形の平面15を囲むように複数のスルーホール11を設け、これらの各スルーホール11より平面15の中央に向かって配線パターン12を形成し、これら中央に集中した配線パターン12の各端部13は、半導体フリップ・チップ2のバンパ21と対応するように位置付けられているものを用意する。

【0007】このような複数のスルーホール11および配線パターン12よりなり、点線で区切られた複数の基本パターンを印刷配線基板1の縦横方向に平面状に繰り返し形成する。

【0008】そして、図2(b)の断面図に示すように、各基本パターンの配線パターン12が集中した中央部に、半導体フリップ・チップ2を反転させて載置する。このとき、配線パターン12の各端部13に半導体フリップ・チップ2のバンパ21を位置合わせして載置し、ハンダ付けして接続する。

【0009】次に、図2(c)の断面図に示すように、印刷配線基板1の各スルーホール11の部分をマスクして樹脂の流入を防止したのち、半導体フリップ・チップ2を含む全表面を覆うように合成樹脂14をコーティングするコーティングされた合成樹脂14が硬化してから、第1図の点線で示すスルーホール11のほぼ中心に沿って切断することにより、図2(d)の断面図および図3の斜視図に示すように、切断された各半分のスルーホール10が、それぞれ端子となるパッケージが形成される。

【0010】（第2実施例）載置する半導体チップに比して印刷配線基板が大きい場合には、印刷配線基板の全表面を覆うように合成樹脂でコーティングする必要はない。その場合には、図4(a)に示すように、各基本パターンの配線パターン12が集中した中央部にレジストを塗布したのち、スルーホール11および残余の配線パターン12にハンダ・メッキを施し、レジストを剥離した印刷配線基板1を作成する。なお、ハンダ・メッキを必要としない場合には、この工程は省略できる。

【0011】そして、図4(b)の断面図に示すように、印刷配線基板1の配線パターン12が集中した中央部に、半導体フリップ・チップ2を載置し、半導体フリップ・チップ2の各バンパ21と配線パターン12の各端部13を接続する。

【0012】次に、図4(c)の断面図に示すように、少なくとも半導体フリップ・チップ2を含む表面を覆うように、合成樹脂14をコーティングして硬化させたのち、スルーホール11のほぼ中心に沿って切断することにより、図4(d)に示すように、切断された各半分のスルーホール10が、それぞれ端子となるパッケージが形成される。

【0013】（第3実施例）以上で説明した各実施例においては、半導体フリップ・チップ2を載置する方形の

平面15を囲むように複数のスルーホール11を設けているが、スルーホール11の配列は、このような方形に限ることなく、線形に配列してデュアル・インライン・パッケージ（DIP）またはシングル・インライン・パッケージ（SIP）のように、側面に半分のスルーホールよりなる端子を設けてもよいのである。

【0014】なお、パンプを設けていない半導体チップを封止する場合には、半導体チップの端子と配線パターン3の各先端部との接続をワイヤ・ボンディングにより行えばよいのである。

【0015】また、この発明のパッケージは、半導体チップの封止に限ることなく、セラミック、ガラスなどの基板に形成された小さい電子回路素子の封止など、各種の電子部品の封止に適用することができる。

【0016】以上で説明した各実施例により封止された半導体装置または類似装置は、表面実装に適している。すなわち、図5の断面図に示すように、実装すべき印刷配線基板3の配線パターン31に合わせて接着剤4で仮止めしたのち、半分のスルーホール10と配線パターン31とをハンダ5により接続して固定する。

【0017】  
【発明の効果】以上の実施例に基づく説明から明らかのように、この発明の半導体装置のパッケージによると、高価な設備や材料を要することなく、極めて廉価に製造することができる。

【図面の簡単な説明】

【図1】この発明の半導体装置のパッケージにおいて使用する印刷配線基板の配線パターン3の一例を示す平面図、

【図2】この発明の一実施例を製造工程順に示す断面図、

【図3】図2の実施例によってパッケージされた半導体装置を示す斜視図、

【図4】この発明の他の実施例を製造工程順に示す断面図、

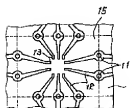
【図5】図2の実施例によってパッケージされた半導体装置を表面実装した状態を示す断面図、

【図6】この発明によってパッケージされる半導体フリップ・チップを示す側面図である。

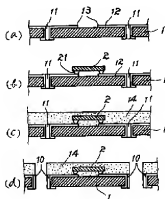
【符号の説明】

- 1 印刷配線基板
- 10 切断された半分のスルーホール（端子）
- 11 スルーホール
- 12 配線パターン
- 13 配線パターンの端部
- 14 コーティングされた合成樹脂
- 15 半導体フリップ・チップを囲む平面
- 2 半導体フリップ・チップ
- 21 パンプ
- 3 実装する印刷配線基板
- 4 接着剤
- 5 ハンダ

【図1】



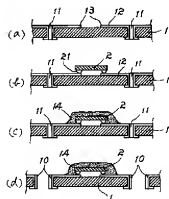
【図2】



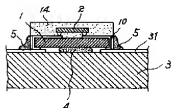
【図3】



【図4】



【図5】



【図6】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-283561

(43)Date of publication of application : 07.10.1994

(51)Int.Cl.

H01L 21/56

(21)Application number : 05-091869

(71)Applicant : IKEDA TAKESHI

(22)Date of filing : 29.03.1993

(72)Inventor : IKEDA TAKESHI  
OKAMOTO AKIRA

## (54) PACKAGE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To obtain a package of semiconductor device capable of being manufactured at extremely low cost.

CONSTITUTION: Linearly arrayed through holes 11 and wiring patterns 12 concentrated from respective through holes 11 on the position for mounting a semiconductor flip chip 2 are formed on a printed-wiring substrate 1 so as to junction respective end parts 13 of the concentrated wiring patterns 12 with the terminals of the semiconductor flip chip 2 through the intermediary of a bump 21.

Besides, after coating the semiconductor chip 2 with a synthetic resin 14, the printed-wiring substrate 1 is cut off as if dividing itself along almost central line of the linearly arrayed respective through holes 11 to turn the through holes 10 of the cut-off respective halves into terminals. Furthermore, respective end parts 13 of the wiring patterns 12 are connected to the terminals of the semiconductor flip chip 2 by wire-bonding step.

